

(19) JAPANESE PATENT OFFICE (JP)

(12) Publication of Unexamined Patent Application (KOKAI) (A)

(11) Japanese Patent Application Kokai Number: **S61-30099**

(43) Kokai Publication Date: February 12, 1986

BEST AVAILABLE COPY

(51) Int. Cl.⁴ Identification Symbol JPO File No.

H 05 K 3/46 6679-5F

Request for Examination: Not requested Number of Inventions: 1 (3 pages total)

(54) Title of the Invention: MULTILAYER WIRING BOARD

(21) Application Number: **S59-150914**

(22) Filing Date: July 20, 1984

(72) Inventor: Tatsuo Inoue
c/o NEC Corporation
5-33-1 Shiba, Minato-ku, Tokyo

(71) Applicant: NEC Corporation
5-33-1 Shiba, Minato-ku, Tokyo

(74) Agent: Masaki Yamakawa, Patent Attorney, and two others

Translated by OSTRANS, LLC
Phone: 800-803-9896

*Japanese Patent Application Kokai Number: S61-30099***SPECIFICATION****1. Title of the Invention****MULTILAYER WIRING BOARD****2. Claims**

A multilayer wiring board in which a thin film multilayer wiring part having thin film wiring is provided above a laminated ceramic wiring board that is formed by laminating a plurality of ceramic green sheets having conductor printed wiring and through-hole wiring, wherein a resin film is formed between said laminated ceramic wiring board and said thin film multilayer wiring part, and a thin film-form ground wiring pattern for correcting the characteristic impedance of said thin film wiring is formed on this resin film.

3. Detailed Description of the Invention

(Technical Field of the Invention)

The present invention relates to a multilayer wiring board that is suitable for use in an electronic device such as a large computer.

(Prior Art)

In general, a high density and a high speed of wiring are simultaneously required in an electronic device such as a large computer in which high-speed high-volume processing is required.

Conventionally, in electronic devices of this type, as is shown in Figure 1, a multilayer wiring board in which a thin film multilayer wiring part 14 that is formed by laminating insulating thin films 10 and 11 having thin film fine wiring 7 and 8 and via-hole wiring 9 and an insulating thin film 13 having component attachment terminals 12 is provided on a laminated ceramic wiring board 6 that has conductor printed wiring consisting of ground wiring 1 and power supply wiring 2, connection pads 3, and through-hole wiring 4 and that is formed by laminating a plurality of ceramic green sheets 5 has been used as a device satisfying the above-mentioned requirements. Here, the speed can be further increased in cases where a resin material with a low dielectric constant is used as an interlayer insulating material for the multilayer wiring. Furthermore, in this figure, 15 indicates terminal pin connection pads, and 16 indicates terminal pins.

In a multilayer wiring board thus constructed, however, because the distance between the thin film wiring 7 and 8 on the laminated ceramic wiring board 6 and the ground wiring 1 is affected by the thicknesses of the ceramic green sheets 5, the following drawback was encountered: namely, when the thicknesses of the ceramic green sheets 5 vary, the characteristic impedance of the thin film wiring 7 and 8 varies with respect to the design value. Furthermore,

Japanese Patent Application Kokai Number: S61-30099

because the laminated ceramic wiring board 6 is formed by firing the ceramic green sheets, only about 0.1 to 0.3 mm of reduction in thickness is normally possible, so that the characteristic impedance cannot be reduced much. As a result, the characteristic impedance of the thin film wiring 7 and 8 is not reduced to a specified value, so that there are drawbacks such as impedance mismatch with circuit elements (not shown in the figure) connected to the wiring 7 and 8 and deterioration of crosstalk characteristics.

Therefore, as is shown in Figure 2, a multilayer wiring board is also available in which the characteristic impedance of the thin film wiring 7 and 8 is adjusted by polishing the surface of the laminated ceramic wiring board 6 and forming a ground wiring net 17 on this surface by means of a thin film method. However, the roughness of the polished ceramic surface is normally approximately 0.2 μmRa at the minimum, so that this unevenness causes the problem of occurrence of etching residuals in the etching process when the ground wiring net 17 is formed.

(Outline of the Invention)

The present invention was devised in light of such circumstances, and [the object thereof is] to provide a multilayer wiring board in which precise ground wiring patterning is possible with an extremely simple construction that is such that a thin film-form ground wiring pattern for correcting the characteristic impedance of thin film wiring is formed on a resin film that is provided between a laminated ceramic wiring board and a thin film multilayer wiring part, thus making it possible to set an optimal value of the characteristic impedance of the thin film wiring. The construction or the like of this multilayer wiring board is described in detail below using embodiments shown in the figures.

(Embodiments)

Figure 3 is a partially sectional perspective view showing the multilayer wiring board of the present invention. In this figure, members that are the same as those in Figures 1 and 2 are labeled with the same symbols below, and a detailed description is omitted. In this figure, the element indicated with symbol 21 is a polyimide resin film, and is formed between the above-mentioned laminated ceramic wiring board 6 and the above-mentioned insulating thin film 10 so as to cover the surface of this board 6. Connection pads 22 and a thin film-form ground wiring pattern 23 for correcting the characteristic impedance of the above-mentioned thin film wiring 7 and 8 are formed on this resin film 21. The characteristic impedance of the thin film wiring 7 and 8 can be adjusted by electrical capacitance created by this ground wiring pattern 23 and the above-mentioned thin film wiring 7 and 8.

Because the ground wiring pattern 23 is formed on the resin film 21, i.e., directly beneath the thin film multilayer wiring part 14, in the multilayer wiring board thus constructed, the characteristic impedance of the thin film wiring 7 and 8 is determined by the dimensions of the thin film wiring 7 and 8 itself, the thickness and material of the insulating thin films 10 and 11,

Japanese Patent Application Kokai Number: S61-30099

and the dimensions of the ground wiring pattern 23. In this case, the thickness of the insulating thin films 10 and 11 can be set with a high degree of freedom because the thin film wiring 7 and 8 is formed by the thin film method. Furthermore, if the insulating thin films 10 and 11 are formed from an organic polymer material, the dielectric constant is 3 to 7, and the film thickness is 1 to 50 μm ; thus allowing an optimal value of the characteristic impedance of the thin film wiring 7 and 8 to be determined from a wide range of values.

Moreover, because the ground wiring pattern 23 is formed by the thin film method on the smooth surface of the polyimide resin film, precise patterning with no etching residual in the etching process is possible at the time of the pattern formation. As a result, the characteristic impedance can be controlled with a high degree of precision.

In the present invention, furthermore, even if the ground wiring pattern 23 is not DC-grounded, if it is AC-grounded, a similar characteristic impedance adjusting effect is obtained. Therefore, the ground wiring pattern 23 may also be connected to the power supply wiring 2 instead of the ground wiring 1.

In addition, in the present invention, crosstalk characteristics can be improved by forming the ground wiring pattern 23 in the form of a net as shown in Figure 4, and making only the line width of the portions of the net where the two layers of wiring 7 and 8 cross greater than the other portions.

(Effect of the Invention)

As is described above, in the present invention, a resin film is formed between the laminated ceramic wiring board and thin film multilayer wiring part, and a thin film-form ground wiring pattern for correcting the characteristic impedance of the thin film wiring is formed on this resin film. Therefore, precise patterning is possible without any occurrence of etching residuals at the time of pattern formation as seen in the past, so that it is possible to set an optimal value of the characteristic impedance of the thin film wiring.

4. Brief Description of the Drawings

Figure 1 and Figure 2 are sectional views showing conventional multilayer wiring boards. Figure 3 is a partial sectional perspective view showing the multilayer wiring board of the present invention. Figure 4 is a plan view showing another embodiment.

1... Ground wiring; 2... Power supply wiring; 4... Through-hole wiring; 5... Ceramic green sheets; 6... Laminated ceramic wiring board; 7, 8... Thin film wiring; 14... Thin film multilayer wiring part; 21... Resin film; 23... Ground wiring pattern

Patent Applicant: NEC Corporation

Agent: Masaki Yamakawa (and two others)

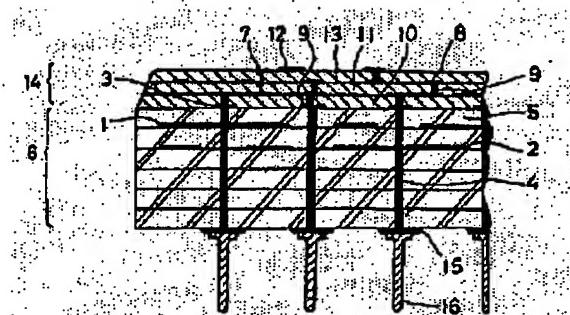
Japanese Patent Application Kokai Number: S61-30099

Figure 1

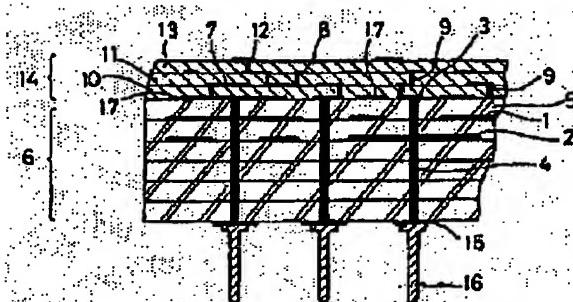


Figure 2

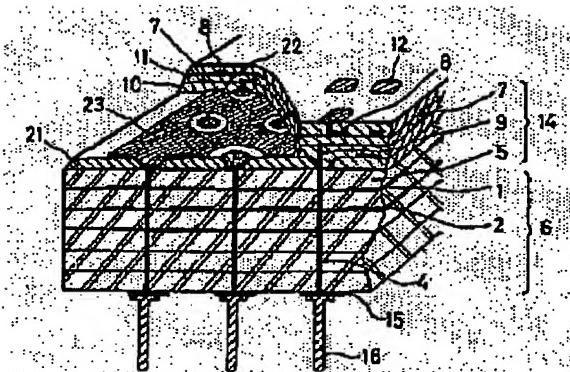


Figure 3

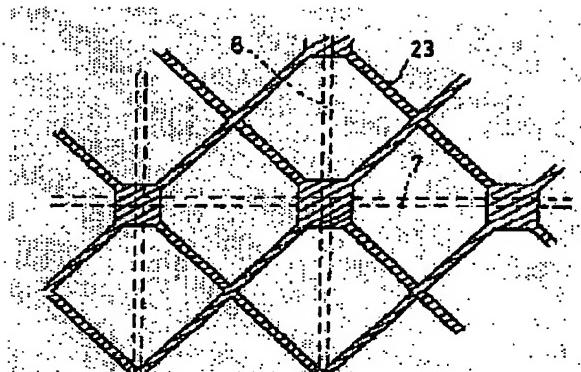


Figure 4

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開昭61-30099

(43) 公開日 昭和61年(1986)2月12日

(51) Int. C1. *

H 05 K 3/46

識別記号

序内整理番号

F I

技術表示箇所

審査請求 *

(全3頁)

(21) 出願番号 特願昭59-150914

(71) 出願人 99999999

日本電気株式会社

*

(22) 出願日 昭和59年(1984)7月20日

(72) 発明者 *

*

(54) 【発明の名称】多層配線基板

(57) 【要約】本公報は電子出願前の出願データであるため要約のデータは記録されません。

(2)

特開昭61-30099

2

【特許請求の範囲】

導体印刷配線およびスルーホール配線を有する複数のセラミックグリーンシートを積層してなるセラミック積層配線基板の上方に薄膜配線を有する薄膜多層配線部が設けられた多層配線基板において、前記セラミック積層配線基板と前記薄膜多層配線部間に樹脂膜を形成すると共に、この樹脂膜上に前記薄膜配線の特性インピーダンスを補正するための薄膜状接地配線パターンを形成したことを特徴とする多層配線基板。

(3)

特開昭61-30099

3

4

④日本国特許庁(JP)

⑤特許出願公開

⑥公開特許公報(A) 昭61-30099

⑦Int.Cl.^{*}
H 03 K 3/45

識別記号

府内整理番号

6679-5F

⑧公開 昭和61年(1986)2月12日

審査請求 未請求 発明の数 1 (全3頁)

⑨発明の名称 多層配線基板

⑩特 国 昭59-150914

⑪出 国 昭59(1984)7月20日

⑫発明者 井上 龍雄 東京都港区芝5丁目33番1号 日本電気株式会社内

⑬出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑭代理人 弁理士 山川 政樹 外2名

明細書

1. 発明の名称

多層配線基板

2. 特許請求の範囲

複数のセラミックグリーンシートを積層してなるセラミック複層配線基板の上方に複層配線を有する複数のセラミック複層配線部が設けられた多層配線基板において、前記セラミック複層配線基板と前記複数多層配線間に接続端子を形成すると共に、この接続端子上に前記複層配線の特性インピーダンスを補正するための複数接地配線バターンを形成したことを特徴とする多層配線基板。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、大型コンピュータ等の電子機器に使用して好適な多層配線基板に関する。

(技術技術)

一般に、高速大容量処理が求められる大型コンピュータ等の電子機器においては、配線の高密度

化および高速化が同時に要求されている。

従来、この種の電子機器には、第1図に示すように接地配線1、電源配線2の導体印刷配線、接続パッド3およびスルーホール配線4を有し、複数のセラミックグリーンシート5を積層してなるセラミック複層配線基板6上に、複数の導体配線7-8、ヴィアホール配線9を有する複層回路10、11および部品取付端子12を有する複層導体13を積層してなる複数多層配線部14が設けられた多層配線基板が開発の要求を満足させるものとして採用されている。ここで、多層配線の層間绝缘材として隕電率が低い樹脂材料を用いた場合にはより一層高速化が可能である。なお、第1において15は端子ピン接続パッド、16は端子ピンである。

ところが、このように構成された多層配線基板においては、セラミック複層配線基板6上の導体配線7、8と接地配線1との距離がセラミックグリーンシート5の厚さによって左右されるため、導体配線7、8の特性インピーダンスはセラミック

(4)

特開昭61-30099

5

6

クグリーンシート5の厚さがばらつくと、設計値に対しほらつくという欠点があった。また、セラミック複層配線板6はセラミックグリーンシートを焼成して形成するため、通常0.1~0.3mm程度しか薄くできず、特性インピーダンスをあまり低くすることができますが、この結果、複層配線7、8の特性インピーダンスが所定の値まで下がらず、これら複層7、8と接続する回路電子(図示せず)とのインピーダンス不整合があつたり、クロストーク特性が悪化したりするという欠点があつた。

そこで、第2図に示すようにセラミック複層配線板6の裏面を研磨し、これに背面注により接地配線網11を形成して複層配線7、8の特性インピーダンスを調整する多層配線基板もあるが、セラミック研磨表面の粗さは通常最小でも0.2mmRa程度であり、その凸凹により接地配線網11形成時のエッチング工程でエッティング残りが生じるという不整合があつた。

(発明の概要)

る。この接地配線バーン23と前記複層配線7、8による背面穿孔によって複層配線7、8の特性インピーダンスを調整することができる。

このように構成された多層配線基板においては、接地配線バーン23が樹脂膜21上すなわち複層多層配線部16の直下に形成されているため、複層配線7、8の特性インピーダンスが複層配線7、8自体の寸法と絶縁層10、11の厚さ、材質と接地配線バーン23の寸法により決定される。この場合、絶縁層10、11の厚さは複層配線7、8が背面穿孔により形成されるため、かなり自由に設定することができる。また絶縁層10、11を有機高分子材料で形成すると、説定量が3~7で膜厚が1~5.0μmとなり、複層配線7、8の最適な特性インピーダンス値を幅広い範囲の中から決定することができる。

また、接地配線バーン23はポリイミド系樹脂膜の滑らかな表面上に電鍍法により形成されるため、バーン形成時のエッチング工程でエッティング残りが無い精密なバーン化が可能となり、

特開昭61-30099(2)

本発明はこのような平板に纏みなされたもので、セラミック複層配線板と複層多層配線部間に設けた樹脂膜上に複層配線の特性インピーダンスを補正するための複層状接地配線バーンを形成するというきわめて簡単な構成により、簡単に接地配線バーン化ができる、複層配線の最適な特性インピーダンス値を設定できる多層配線基板を提供するものである。以下、その構成等を図に示す実施例によって詳細に説明する。

(実施例)

第3図は本発明に係る多層配線基板を示す一部被覆斜視図で、同図以下において第1図および第2図と同一の部材については同一の符号を付し、詳細な説明は省略する。同図において、符号21で示すものはポリイミド系の樹脂膜で、前記セラミック複層配線基板6の裏面を頂うようにこの基板6と前記絶縁層10間に形成されている。この樹脂膜21上には接地パッド22および前記複層配線7、8の特性インピーダンスを補正するための複層状接地配線バーン23が形成されてい

る。この結果、特性インピーダンスを高精度にコントロールすることができる。

なお、本発明は接地配線バーン23が直接的に接地されていてなくとも、交換的に接地されていれば同様の特性インピーダンス調整効果を有するので、接地配線バーン23は接地配線1の代わりに電源配線2と接続されていても良い。

また、本発明は接地配線バーン23を第4図に示すように網目状に形成し、2つの記述層の記述7、8が交叉する個所だけ網の網眼を他の部分より大きくしてクロストーク特性を向上させることができる。

(発明の効果)

以上説明したように本発明によれば、セラミック複層配線基板と複層多層配線部間に樹脂膜を形成すると共に、この樹脂膜上に複層配線の特性インピーダンスを補正するための複層状接地配線バーンを形成したので、後來のようにバーンが成形時のエッティング残りを生じることが無く精密なバーン化が可能となり、複層配線の最適な特性

(5)

特開昭61-30099

特開昭61-38899(3)

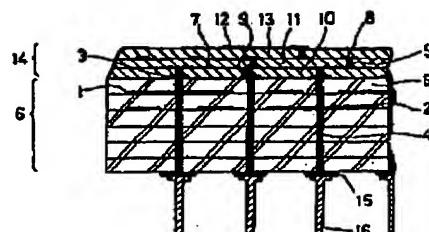
インピーダンス値を設定することができる。

6. 図面の簡単な説明

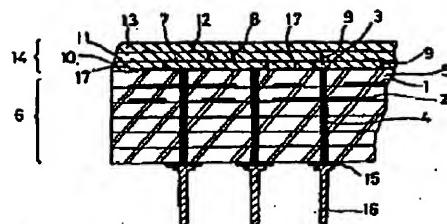
第1図および第2図は従来の多層配線基板を示す断面図、第3図は本発明に係る多層配線基板を示す一部断面詳細図、第4図は他の実施例を示す平面図である。

1 接地配線、2 電源配線、4 スルーホール配線、5 セラミックグリーンシート、6 セラミック複層配線基板、7, 8 薄膜配線、14 複層多層配線部、21 傷筋膜、23 接地配線パターン。

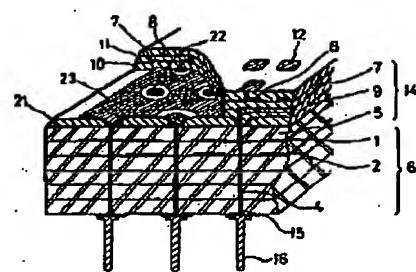
第1図



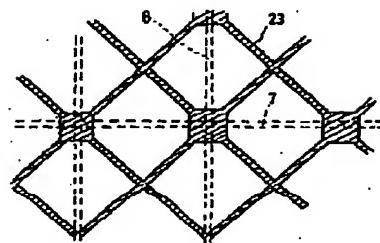
第2図



第3図



第4図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.